

UFABC – Sistemas Digitais – MCTA024 – 2019-2

TPI: 2-2-4 Carga Horária: 48

Horário/Local:

Aulas Teóricas – Terças-feiras (semanal), 19:00 às 21:00 / Sala S-306-2
Aulas Práticas – Sextas-feiras (semanal), 21:00 às 23:00 / Laboratório 408-2

Professor: Denis Gustavo Fantinato – Bloco A, Sala 509-2

denis.fantinato@ufabc.edu.br

Atendimento Extraclasse: Terças-feiras, das 16:00 às 18:00, Sala 509-2

Ementa

Sistemas Digitais. Introdução à Linguagem VHDL. Descrição, Modelagem e Simulação de Circuitos Digitais. Projeto Estruturado e Implementação de Circuitos Digitais. Exemplos Comerciais e Estudo de Casos para os tópicos abordados.

Objetivos

Apresentar ferramentas e metodologias de projeto associadas a Sistemas Digitais não triviais.

Cronograma

Aula	Data	Conteúdo
1	04/06	Apresentação da Disciplina e Atualidades Revisão de Circuitos Digitais
2	07/06	Lab 1 - Simulação Blocos Esquemáticos no Quartus II e FPGA
3	11/06	Revisão de Circuitos Digitais FPGA – Field Programmable Gate Array
4	14/06	Lab 2 – Blocos Esquemáticos e Encapsulamento
5	18/06	VHDL
6	21/06	Feriado (Corpus Christi) – Reposição em 28/08
7	25/06	VHDL Máquina de Estados Finita
8	28/06	Lab 3 – Introdução ao VHDL, GHDL e GTKWave
9	02/07	Máquina de Estados Finita

10	05/07	Lab 4 – Simulação VHDL no Quartus II / Somador Completo
11	09/07	Feriado (Revolução Constitucionalista)
12	12/07	Lab 5 – Máquina de Estados em VHDL
13	16/07	Introdução à Unidade Lógica Aritmética (ULA)
14	19/07	Prova 1
15	23/07	Transferências entre Registradores baseadas em MUX e BUS
16	26/07	Lab 6 – Quartus-II e ModelSim / Definição dos Projetos
17	30/07	DataPath
18	02/08	Lab 7 – Desenvolvimento do Projeto
19	06/08	ASM – Máquina de Estado Algorítmica
20	09/08	Lab 8 – Finalização do Projeto
21	13/08	Tecnologias de Circuitos Integrados
22	16/08	Prova 2
23	20/08	Recesso em SA
24	23/08	Substitutiva
25	28/08	Recuperação
26	30/08	Apresentação Projetos
27	03/09	Apresentação Projetos

Critério de avaliação

A avaliação consistirá em duas provas e listas de exercícios

Prova 1 – 25 % da nota

Prova 2 – 40 % da nota

Projeto – 20 % da nota

Participação Aulas Práticas - 15% da nota

Nota (N) = 0,25 Prova 1 + 0,4 Prova 2 + 0,2 Projeto + 0,15 Práticas

Se $N < 6$:

$$\text{Média Final (MF)} = (N + \text{Recuperação})/2$$

Caso contrário ($N \geq 6$):

$$\text{Média Final (MF)} = N$$

Conceito final:

A: $MF \geq 8,5$

B: $7 \leq MF < 8,5$

C: $6 \leq MF < 7$

D: $5 \leq MF < 6$

F: $MF < 5$

O: Se frequência $< 75\%$ (Resolução ConsEPE 139)

Observações:

- Uma prova substitutiva poderá ser feita pelos alunos que não puderam fazer a Prova pelos motivos descritos na Resolução ConsEPE 227.
- De acordo com a resolução ConsEPE 182, alunos com conceito D ou F têm direito a uma avaliação de recuperação.

Bibliografia

Básica

1. MANO, M. M. e KIME, C. R – *Logic and Computer Design Fundamentals*. Pearson Prentice Hall, 4ª edição, 2007.
2. TOCCI, R. J. ; WIDMER, N. S. e MOSS, G. L. – **Sistemas Digitais: princípios e aplicações**. Pearson Prentice Hall, 11ª edição, 2011.
3. VAHID, F. – **Sistemas Digitais: projeto, otimização e HDLs**. Porto Alegre: Artmed Bookman, 2008.
4. FLOYD, T. L. – **Sistemas Digitais: fundamentos e aplicações**. Porto Alegre: Artmed Bookman, 9ª edição, 2007.
5. CHU, P. P. – **FPGA Prototyping by VHDL Examples**. Hoboken, NJ: John Wiley & Sons, 2008.

Complementar

1. KATZ, R. H. – *Contemporary Logic Design*. Addison Wesley Publishing Company, 1993.
2. WAKERLY, J. F. – *Digital Design: principles and practices package*. Prentice Hall, 4ª ed., 2005.
3. ERCEGOVAC, M.; LANG, T. e MORENO, J. **Introdução aos Sistemas Digitais**. Bookman, 2000.
4. ASHENDEN, P. J. – *The Designer's Guide to VHDL*. Morgan Kaufmann Publisher, 2ª ed., 2002.